

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-234172

(43)Date of publication of application : 13.09.1996

(51)Int.Cl.

G02F 1/133  
G09G 3/36

(21)Application number : 07-313198

(71)Applicant : NIPPONDENSO CO LTD  
SHOWA SHELL SEKIYU KK

(22)Date of filing : 30.11.1995

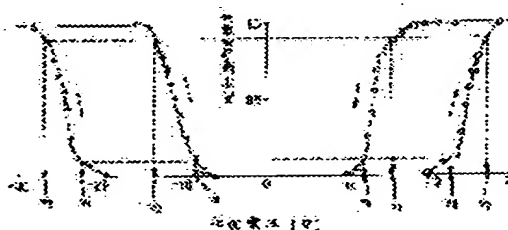
(72)Inventor : YAMAMOTO NORIO  
TOKUNAGA MASAO  
MORI KAORU  
YAMADA YUICHIRO  
HAGIWARA TAKASHI  
SUZUKI GIICHI  
KAWAMURA ICHIRO

## (54) MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

## (57)Abstract:

**PURPOSE:** To improve display quality by using liquid crystal having double hysteresis characteristics and performing new drivings in which these hysteresis characteristics are utilized.

**CONSTITUTION:** This device is made so as to use liquid crystal having hysteresis characteristics in a positive side and a negative side like characteristics shown in figure as liquid crystal and to perform a matrix display by the combinations of scanning signals having selection signals and a non-selection and data signals. Then, in this device, the scanning signals and data signals are formed by reversing them into positive polarities and negative polarities every field period. In this case, non-selection signals are made to be DC signals having average voltage levels of first to fourth threshold value voltages ( $v_1$ ,  $V_3$ ,  $v_1'$ ,  $v_3'$ ) in hysteresis characteristics.



## LEGAL STATUS

[Date of request for examination] 30.11.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2697717

[Date of registration] 19.09.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-234172

(43)公開日 平成8年(1996)9月13日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 6 0		G 0 2 F 1/133	5 6 0
G 0 9 G 3/36			G 0 9 G 3/36	

審査請求 有 請求項の数3 O L (全 17 頁)

(21)出願番号 特願平7-313198  
(62)分割の表示 特願昭63-331308の分割  
(22)出願日 昭和63年(1988)12月27日

(71)出願人 000004260  
日本電装株式会社  
愛知県刈谷市昭和町1丁目1番地  
(71)出願人 000186913  
昭和シェル石油株式会社  
東京都千代田区霞が関3丁目2番5号  
(72)発明者 山本 典生  
愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内  
(72)発明者 徳永 政男  
愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内  
(74)代理人 弁理士 伊藤 洋二

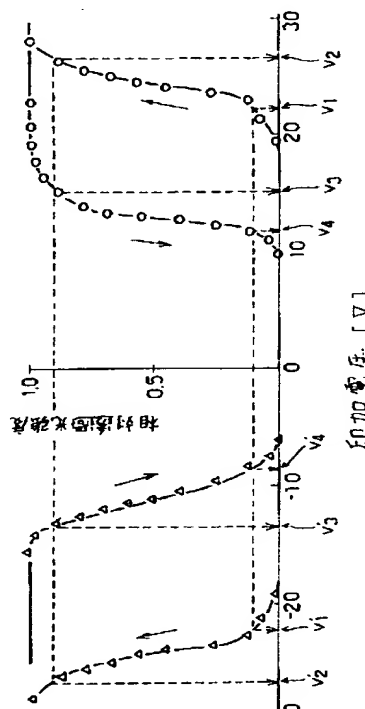
最終頁に続く

(54)【発明の名称】 マトリクス型液晶表示装置

(57)【要約】

【課題】 ダブルヒステリシス特性を有する液晶を用い、このヒステリシス特性を利用した新規な駆動により、表示品位を良好にするとともに、駆動回路を簡単にする。

【解決手段】 液晶として、図4に示すような正極性側、負極性側にヒステリシス特性を有するものを用い、選択信号と非選択信号を有する走査信号とデータ信号の組み合わせによりマトリクス表示を行うようにしたものであって、走査信号およびデータ信号を、フィールド期間毎に、正極性と負極性に反転して形成し、その場合に、非選択信号を、ヒステリシス特性における第1乃至第4の閾値電圧 ( $v_1$ 、 $v_3$ 、 $v_1'$ 、 $v_3'$ ) の平均の電圧レベルを有する直流信号とした。



## 【特許請求の範囲】

【請求項1】  $n$  条の行電極と  $m$  条の列電極とが互いに格子状に対向されるように並設した両電極基板（11、12）間に液晶（13）を封入して  $m \times n$  個の表示画素を形成する液晶セル（10）と、前記  $n$  条の行電極に走査信号を付与する行駆動回路（40）と、前記  $m$  条の列電極にデータ信号を付与する列駆動回路（50）とを備えて、前記  $m \times n$  個の表示画素によりマトリクス表示を行うようにしたマトリクス型液晶表示装置において、

前記液晶（13）は、印加電圧の正極性側において前記印加電圧が第1の閾値電圧（ $v_1$ ）を超えた時に第1の安定状態から第2の安定状態に変化開始し、前記印加電圧が前記第1の閾値電圧より小さい第2の閾値電圧（ $v_2$ ）を下回った時に前記第2の安定状態から第1の安定状態に変化開始し、前記印加電圧の負極性側において前記印加電圧が第3の閾値電圧（ $v_1'$ ）を超えたときに第1の安定状態から第3の安定状態に変化開始し、前記印加電圧が前記第3の閾値電圧より小さい第4の閾値電圧（ $v_3'$ ）を下回った時に前記第3の安定状態から第1の安定状態に変化開始して、前記第1の安定状態と前記第2の安定状態及び前記第1の安定状態と前記第3の安定状態の間のそれぞれの状態変化においてヒステリシス特性を有するものであり、

前記走査信号は、表示状態を選択する選択信号（ $S_1$ 、 $S_2$ ）と、選択された表示状態を保持する非選択信号（ $S_3$ ）とを有して構成され、前記データ信号は、交流の電圧信号（ $D_1 \sim D_3$ ）として構成されており、前記走査信号および前記データ信号は、所定の期間毎に、正極性と負極性に反転して形成されるものであって、前記非選択信号は、前記第1乃至第4の閾値電圧（ $v_1$ 、 $v_2$ 、 $v_1'$ 、 $v_3'$ ）の平均の電圧レベルを有する直流信号であることを特徴とするマトリクス型強誘電性液晶表示装置。

【請求項2】 前記非選択信号と前記データ信号により前記液晶に印加される電圧は、前記選択信号と前記データ信号により選択された前記液晶の表示状態を保持する信号波形（H）を形成することを特徴とする請求項1に記載のマトリクス型液晶表示装置。

【請求項3】 前記液晶は、スメクチック相を有する液晶であることを特徴とする請求項1又は2に記載のマトリクス型液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、文字、図形及びTV画像等の情報を表示するマトリクス型液晶表示装置に関する。

## 【0002】

【従来の技術】 現在、液晶表示装置としてはTN型表示方式が最も広く用いられている。しかし、他の表示装置

較すると応答速度の点で劣っており、大幅な改善が現在までのところ見られていない。最近、強誘電性液晶を利用した表示方式が発表（特開昭56-107216号公報）され、その速い応答速度の他に、高コントラスト、表示メモリー効果等の高マトリクス性に有効な特性を示すことから非常に注目を集めている。

【0003】 強誘電性液晶とは、強誘電性を示す液晶のことを言う。結晶の対称性の理論から1975年 Meyerらによつてはじめて強誘電性液晶が合成され、現在までのところ強誘電性液晶相としてはカイラルスメクチックC相、カイラルスメクチックI相、カイラルスメクチックG相などが発見されている。ここでは、一般に最も広く研究されているカイラルスメクチックC相を用いてその性質を説明する。

【0004】 強誘電性液晶は、スメクチック相と呼ばれる層構造を有する液晶で、液晶分子はこの層法線方向に対して角度  $\theta$  だけ傾いている。また、液晶分子は不斉原子と分子長軸に垂直な方向に自発分極となる永久双極子モーメントを有しており、強誘電性液晶系全体はラセミ体でない光学活性な構成となっている。強誘電性液晶分子が不斉原子を有しているため通常らせん構造をとっている。これを特開昭56-107216号公報で記述されている様にそのらせんピッチの3倍以下の間隔の基板間に挟んでセルを構成すると、そのらせん構造が基板壁面の効果によってほどけ、自発分極が基板に垂直な方向に一樣に配列した2状態が安定に存在するようになる。これがいわゆるメモリー効果と呼ばれる。

【0005】 この2状態は、自発分極の向きが互いに逆方向を向いており、分子長軸の向きが、一方は前述の層法線方向に対して  $\theta$  だけ傾いているとすると、他方は  $-\theta$  だけ傾いていることにそれぞれ対応している。このとき、直交ニコル間にセルを置き、偏光子を前記一方の分子長軸と平行となるようにすれば、偏光子を透過した直線偏光はそのまま液晶層を通り抜けるが、検光子によって遮られ暗状態となる。この状態で他方は、偏光子を透過した直線偏光が液晶分子の複屈折効果により検光子を通り抜け明状態が得られる。

【0006】 ここで、前記基板に垂直方向に直流電界を印加すると、自発分極が電界方向を向く性質に従って分子長軸が層法線方向に対して一樣に  $\theta$ （又は  $-\theta$ ）傾いた配列になる。これとは逆方向の直流電界を印加すると分子は一樣に  $-\theta$ （又は  $\theta$ ）の配列となる。このように電界の向きによって明暗の状態をスイッチングすることができる。

【0007】 さて、上記スイッチング原理を利用したマトリクス型強誘電性液晶表示装置をマトリクス駆動する場合、通常図1に示す水平方向の行電極群  $X_1 \dots X_n$  を順次選択して走査し、これに同期して垂直方向の列電極群  $Y_1 \dots Y_m$  には並列に、“明”又は“暗”の信号電圧を一斉に印加する動作が繰り返される。この方

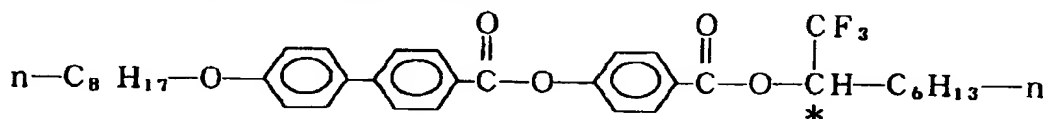
【0008】この方法をもう少し詳しく説明する。前記行電極と列電極の交点である画素の“明”と“暗”の組み合わせによって文字、図形等を表示する場合、強誘電性液晶が前記の如く印加電圧の極性に応答する特殊性から“明”表示画素を駆動する走査を行って表示を完成する。各々の走査における駆動電圧信号は一对の矩形パルスから成り、選択画素には電圧が $\pm V$ のパルス、非選択画素には $\pm V/4$ のパルスが印加されるように構成されている。

【0 0 1 0】

10

20

【発明の概要】本発明は、液晶として印加電圧の正極性\*



電極基板 11 は、図 1 及び図 2 に示すごとく、透明状のガラス板 11 のその内表面に沿い酸化インジウム或いは酸化スズからなる透明状の導電膜 11b を n 本の行電極  $X_1, X_2, \dots, X_n$ 。として図 1 にて図示上下方向に互いに間隔を付与するとともに図 2 にて左右方向に平行に並列形成

【0013】従って、正極性側と負極性側にヒステリシス特性を有する液晶を用いた新規な駆動にて、表示品位の良好なマトリクス表示を行うことができる。また、上記のような2つのヒステリシス特性を有する液晶においては、正極性側と負極性側とで特性が異なっていることがあり、その場合にそれぞれの極性で異なる電圧レベルの非選択信号を設定していたのでは駆動回路が複雑になる。本発明では、非選択信号を上記のような第1乃至第4の閾値電圧の平均の電圧レベルを有する直流信号とすることにより、正極性側と負極性側の駆動に適した同一の非選択信号とすることができ、駆動回路を簡単にすることができる。

【発明の実施の形態】以下、本発明の実施形態を図面により詳細に説明する。図1は、その一実施形態を示すマトリクス型強誘電性液晶表示装置の全体構成を示している。この種の表示装置は、マトリクス型液晶セル10を備えており、この液晶セル10は、図1及び図2に示すごとく一対の電極基板11、12を、例えば1~10 $\mu$ mのギャップを介し互いに平行に配設し、これら各電極基板11、12間に化1の構造式の4-(1-トリフルオロメチルヘプチルオキシカルボニル)フェニル-4'-オクチルオキシビフェニル-4-カルボキシレート（以下、TFMHPOBCと略す）13を密封し、かつ各電極基板11、12に互いに偏光軸を直交させてなる各偏光板14、15をそれぞれ外方から添着して構成されている。

【化 1】

して構成されている。

【0017】一方、電極基板12は図1及び図2に示すごとく、透明状のガラス板12aにその内表面に沿い酸化インジウム或いは酸化スズからなる透明状の導電膜12bをm状の列電極 $Y_1, Y_2, \dots, Y_m$ として図1にて図示左右方向に互いに間隔を付与するとともに前記各行電極 $X_1, X_2, \dots, X_n$ に互いに直交するように突設形成して構成されている。

【0018】また導電膜11b、12bの内表面にはポリイミド、ポリアミド等の高分子膜16、17が付設され、強誘電性液晶分子13aが電極基板11、12に平行に配向するように高分子膜16、17の内表面にラビング処理を行っている。強誘電性液晶分子を配向させる手段としては、前記高分子膜をラビング処理する替わりに酸化珪素等の斜方蒸着処理方を用いても良い。

【0019】かかる場合、液晶セル10内への強誘電性液晶13の密封にあたっては、まず、高分子膜16、17のラビング方位が両導電膜11b、12bの各内表面間間隔の中心を通り両導電膜11b、12bに平行となる中心線に対して平行となるように両電極基板11、12を平行に組み合わせる。然る後、強誘電性液晶13を加熱して等方性液体相として毛細管現象を利用して両電極基板11、12間に注入し、かつ液晶セル10全体を毎分0.1〜1℃程度にて徐冷することにより強誘電性液晶13をスメクチックC'相になるまで冷却する。

【0020】この様な冷却の結果、スメクチック層形体をとる強誘電性液晶13は高分子膜16、17のラビング方向に沿い配向することとなるが、図2に示す様にスメクチック層13cは“く”の字に折れ曲がっている。この時の強誘電性液晶分子13の電界とその向きによって安定状態をとる分子配列を図3を用いて説明する。同図では、液晶セル10の法線方向から見た図とその断面方向斜視図をそれぞれ対応させて示してある。

【0021】まず、図3(a)は無電界の時に安定な液晶分子配列を示している。液晶分子13aの分子長軸はラビング方向と略平行で断面図で見ると、液晶セル10の上半分では自発分極13bが右向き(又は左向き)に下半分では自発分極13bが左向き(又は右向き)に向く様に配向している。即ち、液晶分子13aが電界によって動く軌道13d(通常スメクチックコーンと呼ばれる)上で表わせば、液晶セル10の上半分では液晶分子13aが下方向、下半分では上方向に位置しスメクチック層13cが“く”の字に折れ曲がった部分で分割される。この状態は、直交ニコル間に置いて観察すれば消光位が観測される。

【0022】次に、液晶セル10の両電極基板11、12間に電界を印加する(図3(b)の断面図では紙面に沿って下から上向きに印加する)と、液晶分子13aはその自発分極13bの向きが電界方向に揃うため、分子長軸が前記図3(a)の配向方向から角度 $\theta$ だけずれた状態、即ち、自発分極13bが上向きでスメクチックコーン13d上で言えば右側に位置する状態が安定状態となる。

【0023】さらに、これと逆向きの電界を印加する(図3(c))と、前記と同様の理由で分子長軸が同図(b)とは逆方向に角度 $-\theta$ だけずれた状態、即ち、自発分極13bが下向きで、スメクチックコーン13d上

で、この図3(b)、(c)の状態も同図(a)と同様に直交ニコル間で観察すると消光位が互いに角度 $2\theta$ ずれた位置に観測される。

【0024】ここで、液晶セル10に添着する偏光板14、15の偏光軸を次のように定める。偏光板15の偏光軸を図3(a)の分子長軸と平行(図3(a)に図示した破線矢印P)とし偏光板14の偏光軸は、これと直交(図3(a)に図示した実線矢印A)させる。かかる場合、前記3つの安定状態の光透過は数1で記述される。

【0025】

【数1】

$$I = I_0 \cdot \sin^2 4\theta \cdot \sin^2 (\pi \Delta n d / \lambda)$$

ここで、 $I$ は透過光強度、 $I_0$ は偏光板の透過率で決まる定数、 $\theta$ は偏光板15の偏光軸と液晶分子長軸のなす角(図3では、(a)で $\theta_0 = 0$ 、(b)で $\theta_0 = \theta$ 、(c)では $\theta_0 = -\theta$ となる。TFMHPBOBCの場合、温度によって変化するが $\theta = 11 \sim 31^\circ$ である。)  $\Delta n$ は液晶の常光、異常光に対する屈折率の差、 $d$ は液晶セルの基板間隔、 $\lambda$ は光の波長である。

【0026】数1から分かるように、図3(a)では光は透過せず“暗”を示し、図3(b)、(c)では光が透過し“明”を示すことが容易に認められる。この透過光強度と液晶セル10への印加電圧の関係を実験により測定した。この結果を図4に示す。図4の横軸は印加電圧で図3(b)で図示した電界の向きで正、同図(c)で図示した向きで負としてある。縦軸は相対透過光強度である。

【0027】無電界の図3(a)の状態から正の印加電圧を増加していくと、電界 $E$ と自発分極 $P_s$ の積に基づくトルクと弾性トルクの競合により、しきい値(閾値) $v_1$ をもって図3(a)の状態に配列していた液晶分子がスメクチックコーン13dに沿って反転し始め飽和電圧 $v_2$ を越えて図3(b)の状態となる。これに伴って透過光強度も変化し、結局“暗”から“明”へスイッチングする。ここで、しきい値電圧は透過光強度が初期値から10%変化する電圧と定義し、飽和電圧は同90%変化する電圧と定義する。

【0028】逆に、印加電圧を $v_2$ 以上から減少させると電圧増加時と同じ変化を示さずヒステリシスを示す。即ち、しきい値 $v_3$ をもって図3(b)の状態から分子が反転し始め、飽和電圧 $v_4$ によって図3(a)の状態に変化する。これに伴って透過光強度も変化し、結局“明”から“暗”へスイッチングする。逆極性の電圧を印加した時も同様にヒステリシスを示して図3(a)の状態と図3(c)の状態が変化し、“暗”から“明”及び“明”から“暗”への変化でそれぞれしきい値 $v_1'$ 、 $v_3'$ 、飽和電圧 $v_2'$ 、 $v_4'$ をもつ。本発明では上記した特性を有効に利用している。

【0029】前記の各行電極 $V_1, V_2, \dots, V_n$ と列電極

10

20

30

40

50

$Y_1, Y_2, \dots Y_m$ との交叉部は、これら各交叉部に存在する各強誘電性液晶部分と共にそれぞれ各表示画素(1, 1)、 $\dots$ (1, m)、(2, 1)、 $\dots$ (n, m)を構成する(図1参照)。行電極と列電極との間に一極性の適正な電圧が印加されたとき強誘電性液晶がとりうる分子配向状態にて表示画素が光を透過させる状態(即ち、明表示状態)となり、一方、行電極と列電極との間にしきい値以下の適正な電圧が印加されたとき強誘電性液晶が取り得る分子配向状態にて表示画素が光を透過させない状態(即ち、暗表示状態)となるように各偏光板14、15の偏光軸が強誘電性液晶の分子長軸との関係で定められている。尚、偏光板15の背後には、偏光板15に投光する光源が配置されている。

【0030】また、液晶表示装置は、図1に示すごとく、線順次走査回路20と、この線順次走査回路20に接続した基準信号発生回路30と、線順次走査回路20及び基準信号発生回路30に接続した行駆動回路40及び列駆動回路50とを備えており、線順次走査回路20は、ROM21と、このROM21に接続したコントローラ22により構成されている。ROM21は、液晶セル10に表示されるための所定の表示内容を表す表示データを予め記憶している。

【0031】コントローラ22は、基準クロックパルスa(図8に示すa)を順次発生し、基準クロックパルスaの3倍の周期を持つ同期パルスb(図8に示すb)を順次発生し、フレーム毎に反転するフレームパルスc(図8に示すc)を順次発生し、シフトクロックパルスSkを順次発生し、ROM21からの列電極表示データをデータパルスPyとして順次発生し、かつ行電極データをデータパルスPxとして順次発生する。

【0032】基準信号発生回路30は、図5に示すごとく、コントローラ22に接続したインバータ31と、コントローラ22及びインバータ31に接続したDタイプフリップフロップ32、33、34を有している。インバータ31は、コントローラ22からの前記同期パルスbを順次反転させて反転ゲートパルスを出力する。

【0033】フリップフロップ32、33、34においては、フリップフロップ34の出力端子と32のデータ入力端子が、32の出力端子と33のデータ入力端子が、33の出力端子と34の入力端子がそれぞれ接続されており、インバータ31からの反転ゲートパルスのローレベル時にプリセットあるいはクリアされて、それぞれハイ、ロー、ローレベルを出力すると共に、コントローラ22からの基準クロックパルスaの立ち上がり同期してフリップフロップ32、33、34の順に出力をシフトさせ、フリップフロップ32より基準信号d(図8に示すd)を、33より基準信号e(図8に示すe)を、34より基準信号f(図8に示すf)を発生する。

【0034】行駆動回路40は、コントローラ22と、コントローラ22に接続したシフトレジスタ40Aと

基準信号発生回路30及びシフトレジスタ40Aに接続した各論理回路40B1、40B2、 $\dots$ 、40Bnを有している。シフトレジスタ40Aは、コントローラ22からの同期パルスbを順次シフトパルスとして受け、同シフトパルスに同期してコントローラ22からの各データパルスPxを、各論理回路40B1 40Bnのいずれかに論理回路40B1から論理回路40Bnにかけて順次シフトさせてデータパルスg(図8に示すg)として付与する。

【0035】論理回路40B1は、図6に示すごとく、シフトレジスタ40A及びコントローラ22に接続したDタイプラッチ41c、シフトレジスタ40Aに接続したインバータ41a、ラッチ41cに接続したインバータ41b及びシフトレジスタ40A、コントローラ22、インバータ41a、41bなどに接続したANDゲート42a、43a、44a、45a、46a、47a、48aを備えている。

【0036】Dタイプラッチ41cは、シフトレジスタ40AからのデータパルスgをG端子に、コントローラ22からのフレームパルスcをD端子に入力し、G端子入力がハイレベルの時フレームパルスcをそのままQ端子より出力し、G端子入力がローレベルになると、G端子入力信号の立ち下がり時のD端子入力信号レベルを保持し、Q端子より出力し、ゲートパルスc'を発生する。

【0037】インバータ41aは、シフトレジスタ40Aからのデータパルスgを反転させて、反転データパルスを発生する。インバータ41bは、Dタイプラッチ41cからのゲートパルスc'を反転させて、反転ゲートパルスを発生する。ANDゲート42aは、シフトレジスタ40Aからのデータパルスg及びDタイプラッチ41cからのゲートパルスc'、基準信号fがすべてハイレベルの時ハイレベルにてゲートパルスh(図8に示すh)を発生する。

【0038】ANDゲート43aは、シフトレジスタ40Aからのデータパルスg及びDタイプラッチ41cからのゲートパルスc'、基準信号eがすべてハイレベルの時ハイレベルにてゲートパルスf(図8に示すf)を発生する。ANDゲート44aは、シフトレジスタ40Aからのデータパルスg及び基準信号dが共にハイレベルの時ハイレベルにてゲートパルスj(図8に示すj)を発生する。

【0039】ANDゲート45aは、シフトレジスタ40Aからのデータパルスg及びインバータ41bからの反転ゲートパルス、基準信号fがすべてハイレベルの時ハイレベルにてゲートパルスk(図8に示すk)を発生する。ANDゲート46aは、シフトレジスタ40Aからのデータパルスg及びインバータ41bからの反転ゲートパルス、基準信号eがすべてハイレベルの時ハイレベルにてゲートパルスl(図8に示すl)を発生する。

【0040】ANDゲート47aは、インバータ41aからの反転データパルス及びDタイプラッチ41cからのゲートパルス $c'$ が共にハイレベルの時ハイレベルにてゲートパルス $m$ （図8に示す $m$ ）を発生する。ANDゲート48aは、インバータ41aからの反転ゲートパルス及びインバータ41bからの反転ゲートパルスが共にハイレベルの時ハイレベルにてゲートパルス $n$ （図8に示す $n$ ）を発生する。

【0041】トランスミッションゲート44bは、ANDゲート44aからのゲートパルス $j$ にตอบสนองして、このゲートパルス $j$ を零レベル（即ち、接地レベル）までシフトし、零レベルを有する走査信号 $S_1$ 、 $S_1'$ （図8に示すO及び図9参照）として各トランスミッションゲートとの共通出力端子49から発生し、液晶セル10の行電極 $X_1$ に付与する。

【0042】また、トランスミッションゲート43cは、ANDゲート43aからのゲートパルス $l$ にตอบสนองして、このゲートパルス $l$ を定電圧回路43bからの正の定電圧（ $V_0 - V_1$ ）に基づき、（ $V_0 - V_1$ ）のレベルまでシフトすると共に、トランスミッションゲート42cは、ANDゲート42aからのゲートパルス $h$ にตอบสนองして、このゲートパルス $h$ を定電圧回路42bからの正の定電圧（ $V_0 + V_1$ ）に基づき、（ $V_0 + V_1$ ）のレベルまでシフトする。このため、このような両トランスミッションゲート43c、42cのシフト結果が合成されて、走査信号 $S_2$ （図8に示すO及び図9参照）として各トランスミッションゲートとの共通出力端子49から発生し、液晶10の行電極 $X_1$ に付与する。

【0043】以下同様にトランスミッションゲート47c、46c、45c、48cは、それぞれANDゲート47a、46a、45a、48aからのゲートパルス $m$ 、 $l$ 、 $k$ 、 $n$ にตอบสนองして、それぞれの定電圧回路47b（ $V_0$ ）、46b（ $-(V_0 - V_1)$ ）、45b（ $-(V_0 + V_1)$ ）、48b（ $-V_0$ ）に基づき、それぞれの電圧レベルを有する走査信号 $S_3$ 、 $S_2'$ 、 $S_3'$ （図8に示すO及び図9参照）として各トランスミッションゲートとの共通出力端子49から発生し、液晶セル10の行電極 $X_1$ に付与する。

【0044】かかる場合、第1フレームにおいて、両走査信号 $S_1$ 、 $S_2$ が行電極 $X_1$ を選択するための選択信号として機能し、行電極 $X_1$ が選択されるまでの間走査信号 $S_3'$ が、選択後走査信号 $S_3$ が非選択信号として、それぞれの $T/n$ の間機能する（行電極 $X_1$ の場合、フレームの最初に選択されるため、走査信号 $S_3$ のみが非選択信号となる）。但し、 $T$ は1フレーム表示時間を表す。

【0045】また、第2フレームにおいては、両走査信号 $S_1'$ 、 $S_2'$ が行電極 $X_1$ を選択するための選択信号として機能し、行電極 $X_1$ が選択されるまでの間走査信号 $S_3$ が、選択後走査信号 $S_3'$ が非選択信号としてそれぞれ

れ $T/n$ の間機能する（第1フレームと同様に行電極 $X_1$ の場合、走査信号 $S_3'$ のみが非選択信号となる）。残余の論理回路40B2～40Bnは、共に論理回路40B1と同様に構成されており、これら各論理回路40B2～40Bnは、シフトレジスタ40Aからの各データパルス $g$ 、コントローラ22からのフレームパルス $c$ 並びに基準信号発生回路からの各ゲートパルス $d$ 、 $e$ 、 $f$ にตอบสนองして、論理回路40B1と同様に、各走査信号 $S_1$ 、 $S_2$ 、 $S_3$ 、 $S_1'$ 、 $S_2'$ 及び $S_3'$ をそれぞれ生じる。

【0046】しかして、論理回路40B2からの各走査信号は、第1フレームにおいては両走査信号 $S_1$ 、 $S_2$ は選択信号として、また、走査信号 $S_3'$ 、 $S_3$ は行電極 $X_2$ 選択前・後の非選択信号として、それぞれ液晶セル10の行電極 $X_3$ に付与される。以下同様に、論理回路40Bnからの各走査信号は、第1フレームにおいては両走査信号 $S_1$ 、 $S_2$ は選択信号として、また、走査信号 $S_3'$ 、 $S_3$ は、行電極 $X_2$ 選択前・後の非選択信号として、また、第2フレームにおいては両走査信号 $S_1'$ 、 $S_2'$ は選択信号として、また、走査信号 $S_3$ 、 $S_3'$ は、行電極 $X_3$ 選択前・後の非選択信号としてそれぞれ液晶セル10の行電極 $X_n$ に付与される。

【0047】列駆動回路50は、コントローラ22と、コントローラ22に接続したシフトレジスタ50A及びラッチ50Bと、基準信号発生回路30及びラッチ50Bに接続した各論理回路50c1、50c2、…、50cmを有している。シフトレジスタ50Aは、コントローラ22からのシリアルなデータパルス $P_y$ を、同コントローラからのシフトクロックパルス $S_k$ にตอบสนองして順次入力されて、パラレルな $m$ 個のデータパルスに繰返し変換し、ラッチ50Bに付与する。

【0048】ラッチ50Bは、シフトレジスタ50Aからの各 $m$ 個のデータパルスをコントローラ22からの同期パルス $b$ にตอบสนองして繰返しラッチしてデータパルス $p$ （図8に示す $p$ ）として各論理回路50c1、50c2、…、50cmにそれぞれ付与する。論理回路50c1は、図7に示すごとく、ラッチ50B及びコントローラ22に接続したEXCLUSIVE-ORゲート51と、同EXCLUSIVE-ORゲート51に接続したインバータ52と、同インバータ52及び基準信号発生回路30に接続したANDゲート53aと、EXCLUSIVE-OR51及び基準信号発生回路30に接続したANDゲート53bと、両ANDゲート53a、53bに接続したORゲート53cを備えている。

【0049】EXCLUSIVE-OR51は、ラッチ50Bからのラッチデータパルス $P$ 及びコントローラ22からのフレームパルス $c$ の排他的論理和をとり、ゲートパルス $q$ （図8に示す $q$ ）を発生する。ANDゲート53aは、インバータ52からの $q$ の反転ゲートパルスがハイレベル時に、基準信号発生回路30からの基準信



号eにตอบสนองしてハイレベルにて、ゲートパルスが発生し、またqの反転ゲートパルスがローレベル時にローレベルにてゲートパルスが発生する。

【0050】ANDゲート53bは、EXCLUSIVE-OR51からのゲートパルスqがハイレベル時に基準信号発生回路30からの基準信号fにตอบสนองしてハイレベルにてゲートパルスが発生し、また、ゲートパルスqがローレベル時にローレベルにてゲートパルスが発生する。ORゲート53cは、両ANDゲート53a、53bのうち、少なくとも一方がハイレベルの時ハイレベルにてゲートパルスr(図8に示すr)が発生する。

【0051】NORゲート54は、ORゲート53cからのゲートパルスr及び基準信号発生回路30からの基準信号dが共にローレベル時にハイレベルにてตอบสนองし、ゲートパルスs(図8に示すs)が発生する。トランスミッションゲート56は、基準信号発生回路30からの基準信号dにตอบสนองして両ゲートパルスを零レベル(即ち、接地レベル)までシフトし、零レベルを有するデータ信号D1およびD1'(図8に示すO及び図9参照)として各トランスミッションゲート55b、57bとの共通の出力端子58から発生し、液晶セル10の列電極Y<sub>1</sub>に付与する。

【0052】また、トランスミッションゲート55bがNORゲート54からゲートパルスsを受けると共に、トランスミッションゲート57bがORゲート53cからゲートパルスrを受けると、トランスミッションゲート55bがゲートパルスsを定電圧回路55aからの正の定電圧のレベル(V<sub>2</sub>)までシフトすると共に、トランスミッションゲート57bがゲートパルスrを定電圧回路57aからの負の定電圧のレベル(-V<sub>2</sub>)までシフトする。

【0053】このため、このような両トランスミッションゲート55b、57bのシフト結果が合成されて、データ信号D<sub>2</sub>、D<sub>3</sub>及びD<sub>2</sub>'、D<sub>3</sub>'(図8に示すO及び図9参照)として共通出力端子58から発生し、液晶セル10の列電極Y<sub>1</sub>に付与する。かかる場合、第1フレームにおいて、両データ信号D<sub>1</sub>、D<sub>2</sub>が列電極Y<sub>1</sub>に対するONデータ信号として、両データ信号D<sub>1</sub>、D<sub>3</sub>がOFFデータ信号として、それぞれT/nの間機能する。また、第2フレームにおいては、両データ信号D<sub>1</sub>'、D<sub>2</sub>'が列電極Y<sub>1</sub>に対するONデータ信号として、両データ信号D<sub>1</sub>'、D<sub>3</sub>'がOFFデータ信号としてそれぞれT/nの間機能する。

【0054】残余の論理回路40C2~40Cmは、共に論理回路40C1と同様に構成されており、これら各論理回路40C2~40Cmは、ラッチ50Bからの各データパルスP、コントローラ22からのフレームパルスc並びに基準信号発生回路からの各ゲートパルスd、e、fにตอบสนองして、論理回路40C1と同様に、各データ信号D<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>、D<sub>1</sub>'、D<sub>2</sub>'及びD<sub>3</sub>'をそれぞ

れ生じる。

【0055】しかして、論理回路40C2からの両データ信号D<sub>1</sub>、D<sub>2</sub>及び両データ信号D<sub>1</sub>、D<sub>3</sub>は、第1フレームにおいてONデータ信号及びOFFデータ信号として、また、両データ信号D<sub>1</sub>'、D<sub>2</sub>'及び両データ信号D<sub>1</sub>'、D<sub>3</sub>'は、第2フレームにおいてONデータ信号及びOFFデータ信号として、それぞれ液晶セル10の列電極Y<sub>2</sub>に付与される。

【0056】論理回路40C3からの両データ信号D<sub>1</sub>、D<sub>2</sub>及び両データ信号D<sub>1</sub>、D<sub>3</sub>は、第1フレームにおいてONデータ信号及びOFFデータ信号として、また、両データ信号D<sub>1</sub>'、D<sub>2</sub>'、及び両データ信号D<sub>1</sub>'、D<sub>3</sub>'は、第2フレームにおいてONデータ信号及びOFFデータ信号として、それぞれ液晶セル10の列電極Y<sub>2</sub>に付与される。

【0057】以下同様に、論理回路40Cmからの両データ信号D<sub>1</sub>、D<sub>2</sub>及び両データ信号D<sub>1</sub>、D<sub>3</sub>は、第1フレームにおいてONデータ信号及びOFFデータ信号として、また、両データ信号D<sub>1</sub>'、D<sub>2</sub>'及び両データ信号D<sub>1</sub>'、D<sub>3</sub>'は、第2フレームにおいてONデータ信号及びOFFデータ信号として、それぞれ液晶セル10の列電極Y<sub>2</sub>に付与される。

【0058】ここにおいて、各定電圧回路42bからの定電圧(V<sub>0</sub>+V<sub>1</sub>)、定電圧回路43bからの定電圧(V<sub>0</sub>-V<sub>1</sub>)、定電圧回路45bからの定電圧-(V<sub>0</sub>+V<sub>1</sub>)、定電圧回路46bからの定電圧-(V<sub>0</sub>-V<sub>1</sub>)、定電圧回路47bからの定電圧V<sub>0</sub>、及び定電圧回路48Bからの定電圧-V<sub>0</sub>、そして、図7の定電圧回路55aからの定電圧V<sub>2</sub>及び定電圧回路57aからの定電圧-V<sub>2</sub>の決定方法について説明する。

【0059】暗表示状態にある表示画素(n, m)に適正な電圧を印加して明表示状態に変化させるとき表示画素(n, m)の透過光量が電圧印加後、全変化の90%以上まで変化する時間及び明表示状態にある表示画素(n, m)に適正な電圧を印加して暗表示状態に変化させるときのそれを、それぞれ強誘電性液晶13の応答時間とし、それぞれの応答時間以上の時間t<sub>0</sub>として走査信号S<sub>1</sub>、S<sub>1</sub>'及びデータ信号D<sub>1</sub>、D<sub>1</sub>'の設定信号幅とする。

【0060】そして、走査信号S<sub>2</sub>、S<sub>2</sub>'及びデータ信号D<sub>2</sub>、D<sub>2</sub>'、D<sub>3</sub>、D<sub>3</sub>'の信号幅を2t<sub>0</sub>とする。このとき、図4の印加電圧-透過光強度特性の曲線との関連にて良好なるコントラストを得るために、数2~数4を満足するように前記各電圧レベルを定める。

【0061】

$$[\text{数}2] |V_0| = \{ (|v_1| + |v_3|) / 2 + (|v_1'| + |v_3'|) / 2 \} / 2$$

【0062】

$$[\text{数}3] |V_2| \leq (|v_1| - |v_3|) / 2, (|v_1'| - |v_3'|) / 2$$

【0063】

【数4】  $|V_0| + |V_1| + |V_2| > |v_2|, |v_2'|$

尚、強誘電性液晶13の応答時間は、 $\pm(V_0 + V_1 + V_2)$ の電圧印加時における応答時間をいう。以上のように構成した本実施形態において、線順次走査回路20が、基準クロックパルスa及び同期パルスb、フレームパルスc、シフトクロックパルスSk、データパルスPx及びデータパルスPyをそれぞれ順次発生し、基準信号発生回路30が、基準クロックパルスa及び同期パルスbに順次応答して、各基準信号d、e及びfをそれぞれ図8に示す各タイミングにて順次発生すると、行駆動回路40が、線順次走査回路20からの同期パルスb、フレームパルスc及びデータパルスPx並びに基準信号発生回路30からの基準信号d、e及びfに応答して、第1フレームでは選択信号(両走査信号S<sub>1</sub>、S<sub>2</sub>)または、非選択信号(走査信号S<sub>3</sub>またはS<sub>3</sub>')を、第2フレームでは選択信号(両走査信号S<sub>1</sub>'、S<sub>2</sub>')または、非選択信号(走査信号S<sub>3</sub>'またはS<sub>3</sub>)を、液晶セル10の各行電極X<sub>1</sub>~X<sub>n</sub>のいずれかに行電極X<sub>1</sub>から行電極X<sub>n</sub>にかけてT/n毎にシフトさせながら付与する。

【0064】一方、列駆動回路50が、線順次走査回路20からの同期パルスb、フレームパルスc、シフトクロックパルスSk及びデータパルスPy並びに基準信号発生回路30からの基準信号d、e及びfに応答して、第1フレームではONデータ信号(両データ信号D<sub>1</sub>、D<sub>2</sub>)またはOFFデータ信号(両データ信号D<sub>1</sub>、D<sub>3</sub>)を、第2フレームではONデータ信号(両データ信号D<sub>1</sub>'、D<sub>2</sub>')またはOFFデータ信号(両データ信号D<sub>1</sub>'、D<sub>3</sub>')を、液晶セル10の各列電極Y<sub>1</sub>~Y<sub>n</sub>にそれぞれ繰り返し付与する。

【0065】このような構成において、液晶セル10が行駆動回路40及び列駆動回路50によりどのようにマトリクス駆動されるのかにつき各表示画素(1、1)及び(1、2)を例にとって説明する。ここでは、簡単のために第1フレームと第2フレームで同じ表示を行うものとして説明する。例えば、第1フレームで行駆動回路40が行電極X<sub>1</sub>に選択信号(両走査信号S<sub>1</sub>及びS<sub>2</sub>)を付与すると共に、列駆動回路50が列電極Y<sub>1</sub>にONデータ信号D<sub>1</sub>およびD<sub>2</sub>を付与すると、表示画素(1、1)が明表示画素(図11参照)として機能する。

【0066】かかる場合、行電極X<sub>1</sub>と列電極Y<sub>1</sub>の間には、走査信号S<sub>1</sub>とデータ信号D<sub>1</sub>との合成による消去信号E<sub>1</sub>(図12(a))がt<sub>0</sub>の間付与される。さらに、走査信号S<sub>2</sub>とデータ信号D<sub>2</sub>との合成による書込信号W<sub>1</sub>(図12(a))が2t<sub>0</sub>の間付与される。但し、消去信号E<sub>1</sub>は、0Vで、一方書込信号W<sub>1</sub>は信号幅t<sub>0</sub>の(V<sub>0</sub>-V<sub>1</sub>-V<sub>2</sub>)のレベルと信号幅t<sub>0</sub>の(V<sub>0</sub>+V<sub>1</sub>+V<sub>2</sub>)のレベルを有する。

の(V<sub>0</sub>+V<sub>1</sub>+V<sub>2</sub>)のレベルを有する。

【0067】しかして、表示画素(1、1)は、消去信号E<sub>1</sub>のレベル(0V)及び信号幅t<sub>0</sub>に基づき一度暗表示状態(図3(a)の配列状態)となり、然る後、書込信号W<sub>1</sub>の図3(b)の状態に変化する飽和電圧v<sub>2</sub>以上のレベル(V<sub>0</sub>+V<sub>1</sub>+V<sub>2</sub>)及び信号幅t<sub>0</sub>に基づき明表示状態(図3(b)の配列状態)となる。T/nの後は、行駆動回路40からの非選択信号及び列駆動回路50からのONデータ信号(或いは、OFFデータ信号)の合成による図3(b)の状態から同図(a)の状態への変化のしきい値電圧v<sub>3</sub>以上のレベルを有する保持信号H(図12(a))が表示画素(1、1)に付与されて明表示状態を保持する。これら、一連の様子は、図12(b)の透過光強度変化で示されている。

【0068】第2フレームでも同様に、行駆動回路40が行電極X<sub>1</sub>に選択信号(両走査信号S<sub>1</sub>'及びS<sub>2</sub>')を付与するとともに列駆動回路50が列電極Y<sub>1</sub>にONデータ信号(両データ信号D<sub>1</sub>'及びD<sub>2</sub>')を付与すると、表示画素(1、1)が明表示画素(図11参照)として機能する。かかる場合も第1フレームで説明したと同様の理屈で、今度は図3(a)と同図(c)との間の変化を利用して明表示状態が実現される。即ち、走査信号S<sub>1</sub>'とデータ信号D<sub>1</sub>'との合成による消去信号E<sub>1</sub>'(図12(a)参照)がt<sub>0</sub>の間付与されると共に、走査信号S<sub>2</sub>'とデータ信号D<sub>2</sub>'との合成による書込信号W<sub>1</sub>'(図12(a))が2t<sub>0</sub>の間付与されることになる。但し、消去信号E<sub>1</sub>'は0Vで一方、書込信号W<sub>1</sub>'は信号幅t<sub>0</sub>の-(V<sub>0</sub>-V<sub>1</sub>-V<sub>2</sub>)のレベルと信号幅t<sub>0</sub>の-(V<sub>0</sub>+V<sub>1</sub>+V<sub>2</sub>)のレベルを有する。

【0069】しかして、表示画素(1、1)は、消去信号E<sub>1</sub>'のレベル(0V)及び信号幅t<sub>0</sub>に基づき一度暗表示状態(図3(a)の配列状態)となり、然る後、書込信号W<sub>1</sub>'の図3(c)の状態に変化する飽和電圧v<sub>2</sub>'以上のレベル-(V<sub>0</sub>+V<sub>1</sub>+V<sub>2</sub>)及び信号t<sub>0</sub>に基づき明表示状態(図3(c)の配列状態)となる。T/nの後は、行駆動回路40からの非選択信号及び列駆動回路50からのONデータ信号(或いはOFFデータ信号)の合成による図3(c)の状態から同図(a)の状態への変化のしきい値電圧v<sub>3</sub>'以上のレベルを有する保持信号H'(図12(a)参照)が表示画素(1、1)に付与されて明表示状態を保持する。

【0070】ここで、各X電極に印加される非選択信号は、選択信号が印加される毎に順次S<sub>3</sub>からS<sub>3</sub>'に変化する。これら一連の様子は、図12(b)の透過光強度変化で示されている。次に、暗表示状態を実現する場合について説明する。第1フレームで行駆動回路40が行電極X<sub>1</sub>に選択信号(両走査信号S<sub>1</sub>及びS<sub>2</sub>)を付与すると共に列駆動回路50が列電極Y<sub>2</sub>にOFFデータ信号(両データ信号D<sub>1</sub>及びD<sub>3</sub>)を付与すると表示画素(1、2)が暗表示画素(図11にて斜線部を参照)

として機能する。

【0071】かかる場合、行電極 $X_1$ と列電極 $Y_2$ との間には走査信号 $S_1$ とデータ信号 $D_1$ との合成による消去信号 $E_2$  (図12(c))が $t_0$ の間付与されると共に、走査信号 $S_2$ とデータ信号 $D_3$ との合成による書込信号 $W_2$ が $2t_0$ の間付与されることとなる。但し、消去信号 $E_2$ は0Vで一方、書込信号 $W_2$ は信号幅 $t_0$ で $(V_0 - V_1 + V_2)$ のレベルと信号幅 $t_0$ で $(V_0 + V_1 - V_2)$ のレベルを有する。

【0072】しかして、表示画素(1, 2)は、消去信号 $E_2$ のレベル(0V)及び信号幅 $t_0$ に基づき暗表示状態(図3(a)の配列状態)となり、然る後、各書込信号 $W_2$ の信号幅 $t_0$ でレベル $(V_0 - V_1 + V_2)$ 及び $(V_0 + V_1 - V_2)$ が図3(a)の配列から同図

(b)の配列への変化のしきい値電圧 $v_1$ 以下であるために図3(a)の状態を維持し、結局、暗表示状態が実現される。T/nの後は、前述と同様に保持信号Hが印加されるが、この電圧レベルがいずれも $v_1$ 以下であるために暗表示状態が保持される。

【0073】第2フレームでも同様に駆動回路40が行電極 $X_1$ に選択信号(両走査信号 $S_1'$ 及び $S_2'$ )を付与すると共に列駆動回路50が列電極 $Y_2$ にOFFデータ信号(両データ信号 $D_1'$ 及び $D_3'$ )を付与すると表示画素(1, 2)が暗表示画素(図11にて斜線部分参照)として機能する。かかる場合も第1フレームで説明したのと同様の理屈で、暗表示状態が実現される。即ち、走査信号 $S_1'$ とデータ信号 $D_1'$ との合成による消去信号 $E_2'$  (図12(c))が $t_0$ の間付与されると共に、走査信号 $S_2'$ とデータ信号 $D_3'$ との合成による書込信号 $W_2'$  (図12(c))が $2t_0$ の間付与されることになる。\*30

\*但し、消去信号 $E_2'$ は0Vで一方、書込信号 $W_2'$ は信号幅 $T_0$ の $-(V_0 - V_1 + V_2)$ のレベルと $-(V_0 + V_1 - V_2)$ のレベルを有する。

【0074】しかして、表示画素(1, 2)は、消去信号 $E_2'$ のレベル(0V)及び信号幅 $t_0$ に基づき暗表示状態(図3(a)の配列状態)となり、然る後の書込信号 $W_2'$ のレベルがいずれも図3(a)から同図(c)への変化のしきい値電圧 $v_1'$ 以下であるために暗表示状態が維持される。T/nの後は、駆動回路40からの非選択信号及び列駆動回路50からのONデータ信号(或いは、OFFデータ信号)の合成による保持信号H'が表示画素(1, 2)に付与されるが、いずれも図3(a)の状態から同図(c)の状態への変化のしきい値電圧 $V_1'$ 以下であるために暗表示状態を保持する。

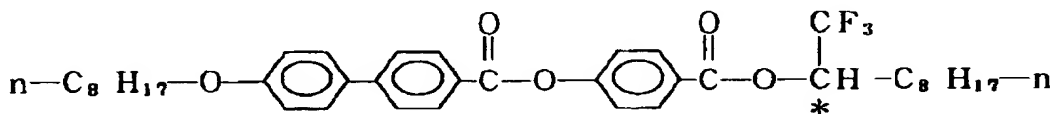
【0075】ここで、各X電極に印加される非選択信号は、選択信号が印加される毎に順次 $S_3$ が $S_3'$ に変化する。これら一連の様子は、図12(d)の透過光強度変化で示されている。また、他の表示画素も同様に駆動され、その結果液晶セル10がマトリクス駆動されることになる。

【0076】なお、図10は、行電極及び列電極に付与される信号のタイミングを示している。尚、本発明の実施にあたっては、強誘電性液晶としてTFMHPBOCを用いたが、前記安定な3状態を示し、前記ヒステリシス特性を有すれば何を用いてもよく、例えば、化2~化4の構造式のもの(TFMNPOBC、MHPOBC、TFMHB2FDB)を用いてもよい。

(1) TFMNPOBC

【0077】

【化2】

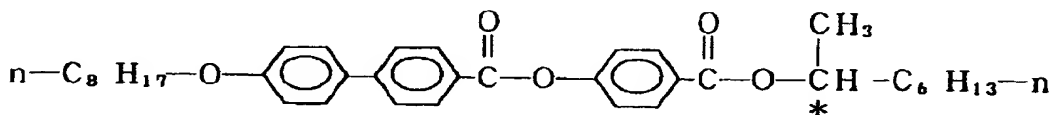


【0078】[4-(1-trifluoromethyl nonyloxycarbonyl)phenyl 4'-octyloxy biphenyl-4-carboxylate]

※ (2) MHPOBC

【0079】

【化3】



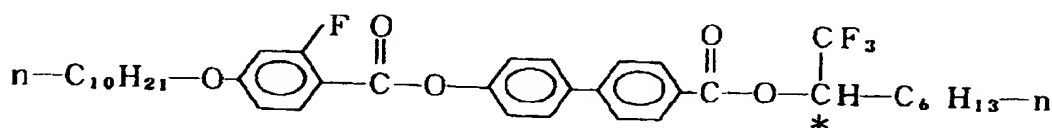
【0080】[4-(1-methyl heptyloxycarbonyl)phenyl 4'-octyloxy biphenyl-4-carboxylate]

★ 【0081】

【化4】

(3) TFMHB2FDB

★



【0082】[4-(1-trifluoromethyl heptyloxycarbonyl)-4'-biphenyl 2-fluoro-4-decyloxybenzoate]

ate ] ]

50 さらに、塩酸の濃度を所定の比率で混合したものと同様

に用いることができる。また、本発明の実施に当たっては、フレーム毎に電圧極性を逆転させたが、複数フレーム毎に逆転させても、液晶セルに実質的直流成分が残らなければ自由に設定できる。

【0083】また、本発明の実施に当たっては、液晶セル10を透過型に限ることなく反射型としてもよい。

【図面の簡単な説明】

【図1】 本発明の一実施形態を示す全体構成図である。

【図2】 図1における液晶セルの拡大断面図である。

【図3】 図2における液晶分子の配向状態を示す図である。

【図4】 強誘電性液晶の光透過率と印加電圧との関係を示す図である。

【図5】 図1における基準信号発生回路の詳細構成図である。

【図6】 図1における行駆動回路中の論理回路の詳細構成図である。

成図である。

【図7】 図1における列駆動回路中の論理回路の詳細構成図である。

【図8】 図1に示す実施形態の作動説明に供する信号波形図である。

【図9】 走査信号とデータ信号の信号波形を示す図である。

【図10】 液晶セルに付与される信号のタイミングを示す図である。

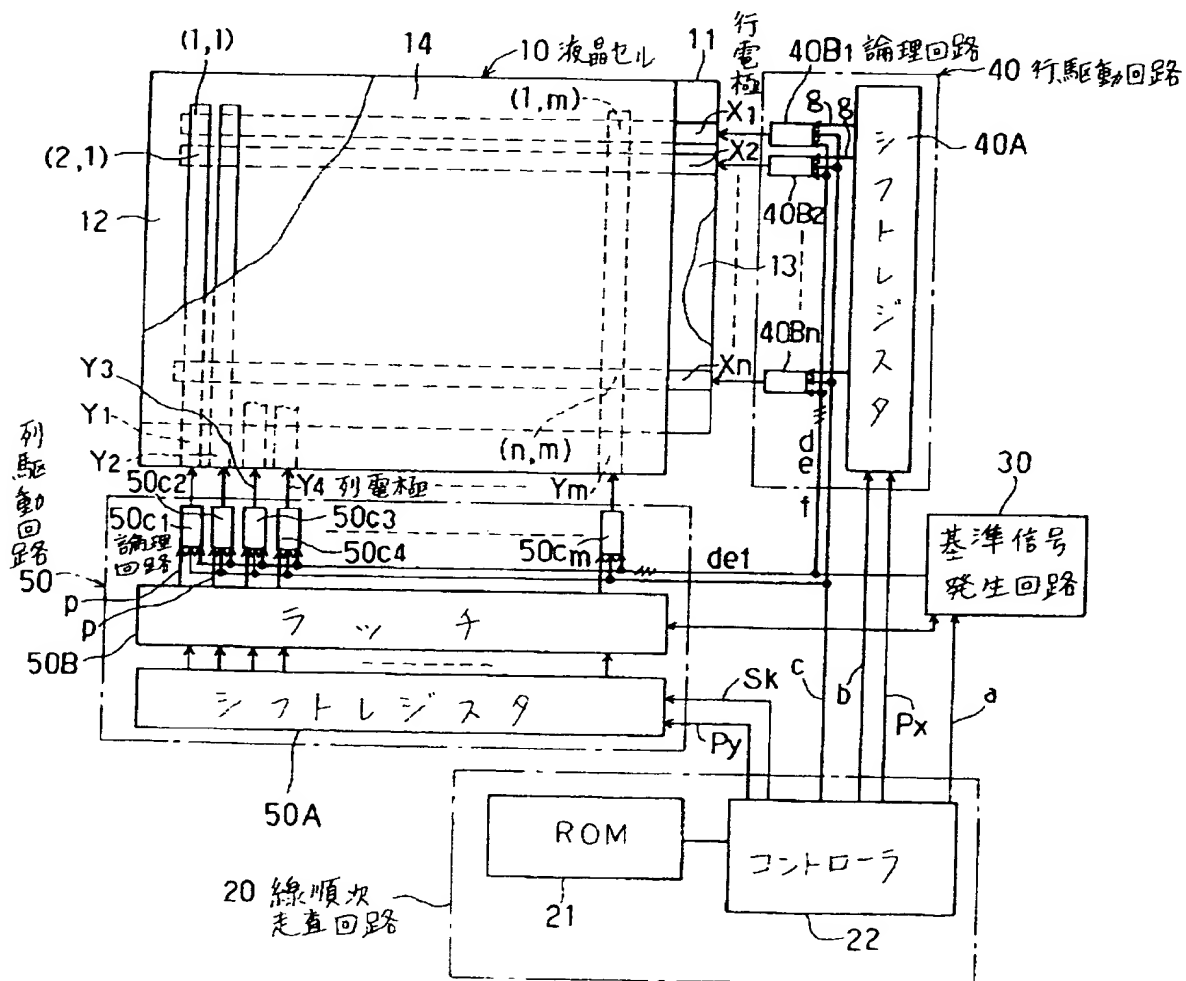
【図11】 行電極と列電極の部分拡大図である。

【図12】 液晶に印加される電圧波形を示す図である。

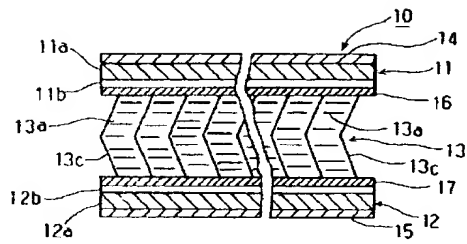
【符号の説明】

10…液晶セル、11、12…電極基板、13…強誘電性液晶、20…線順次走査回路、21…ROM、22…コントローラ、30…基準信号発生回路、40…行駆動回路、50…列駆動回路。

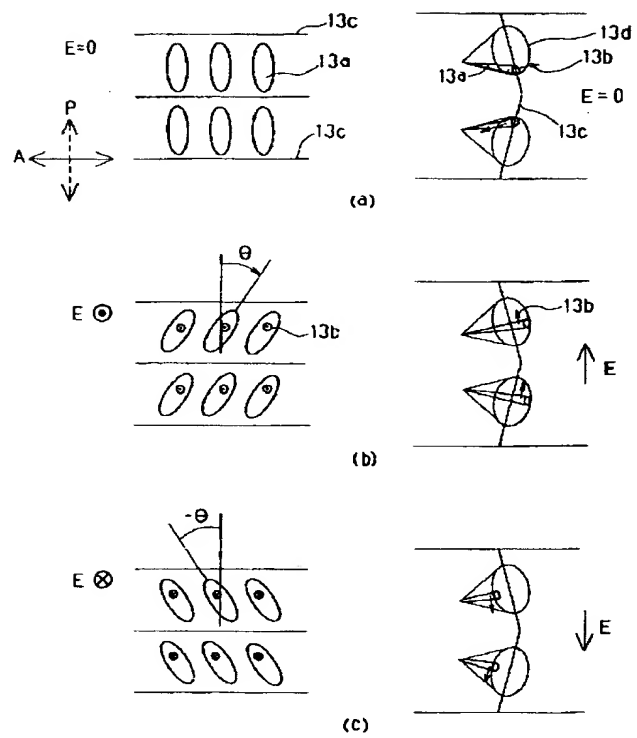
【図1】



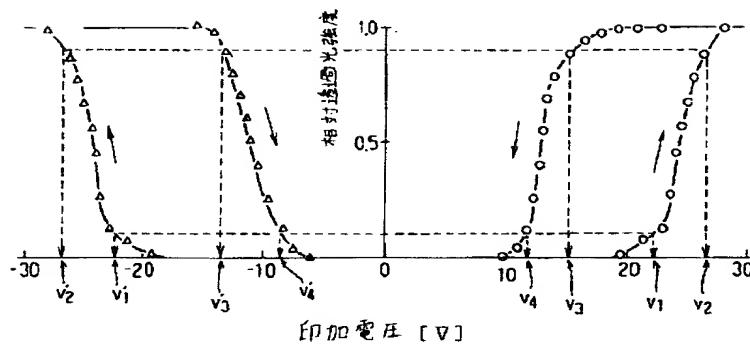
【図2】



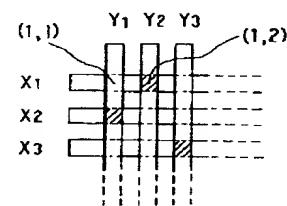
【図3】



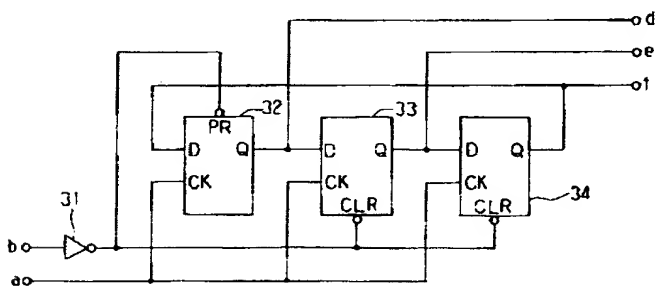
【図4】



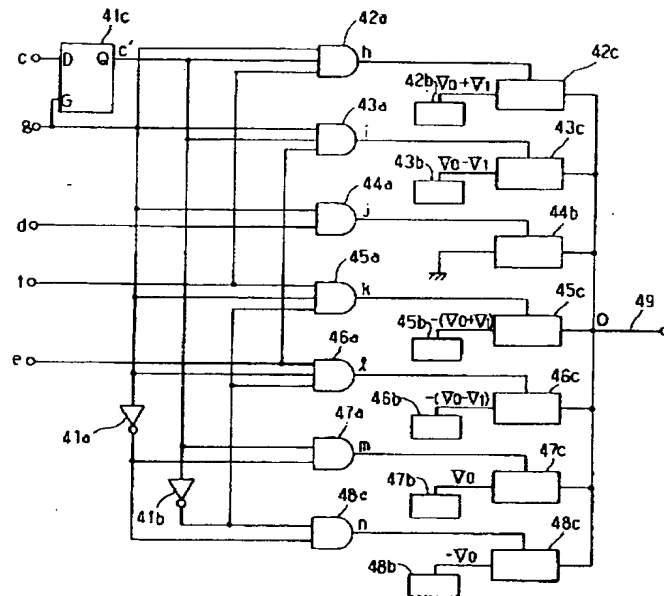
【図11】



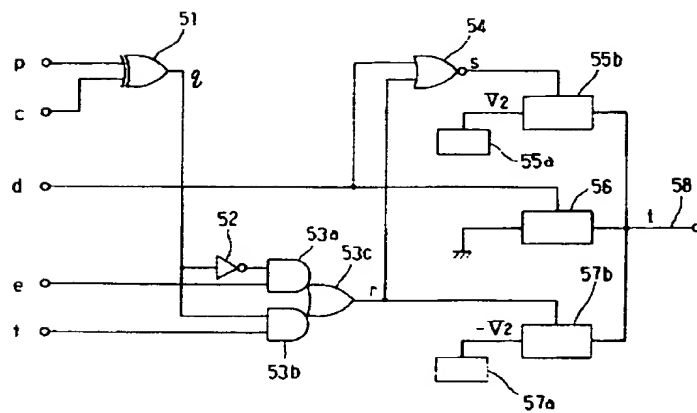
【図5】



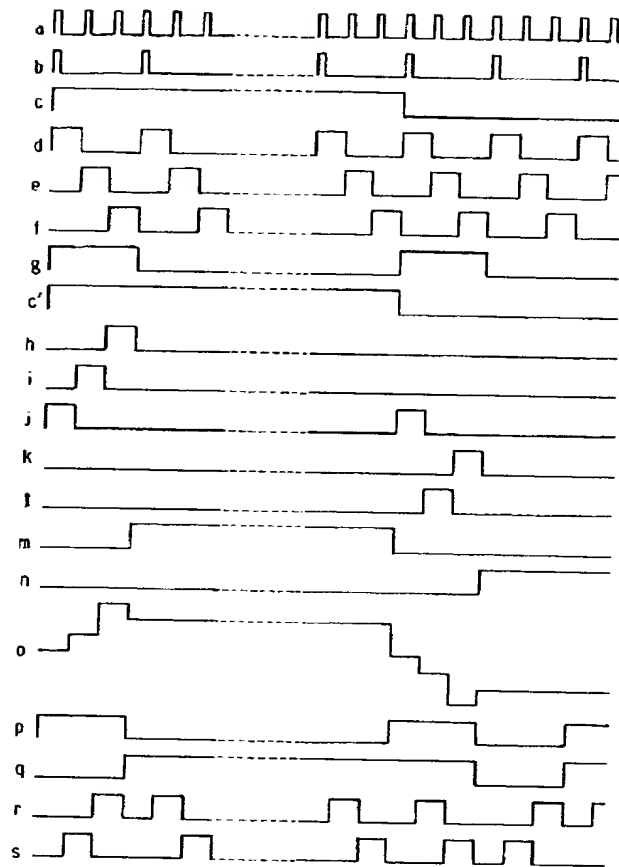
【図6】



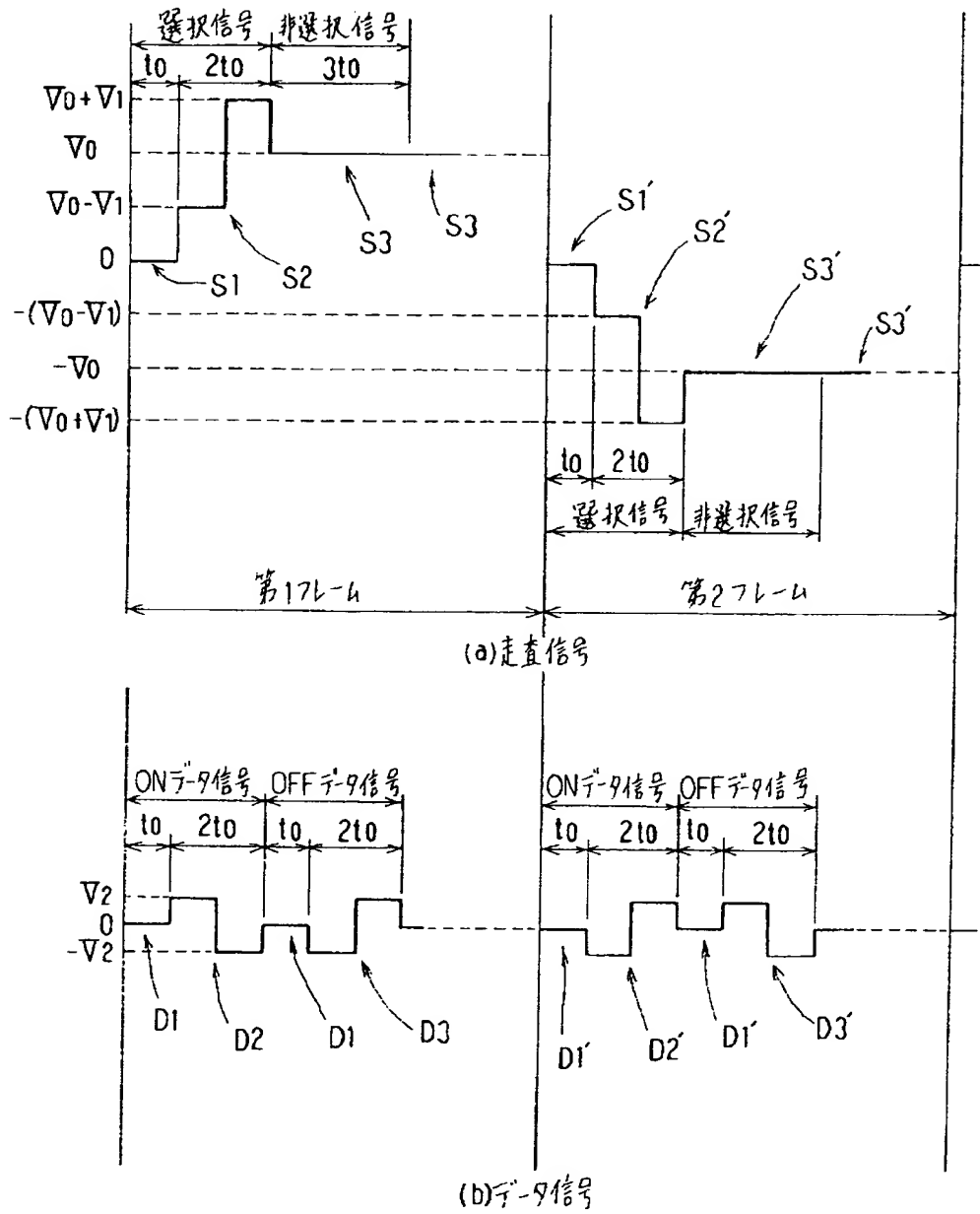
【図7】



【図8】



【図9】



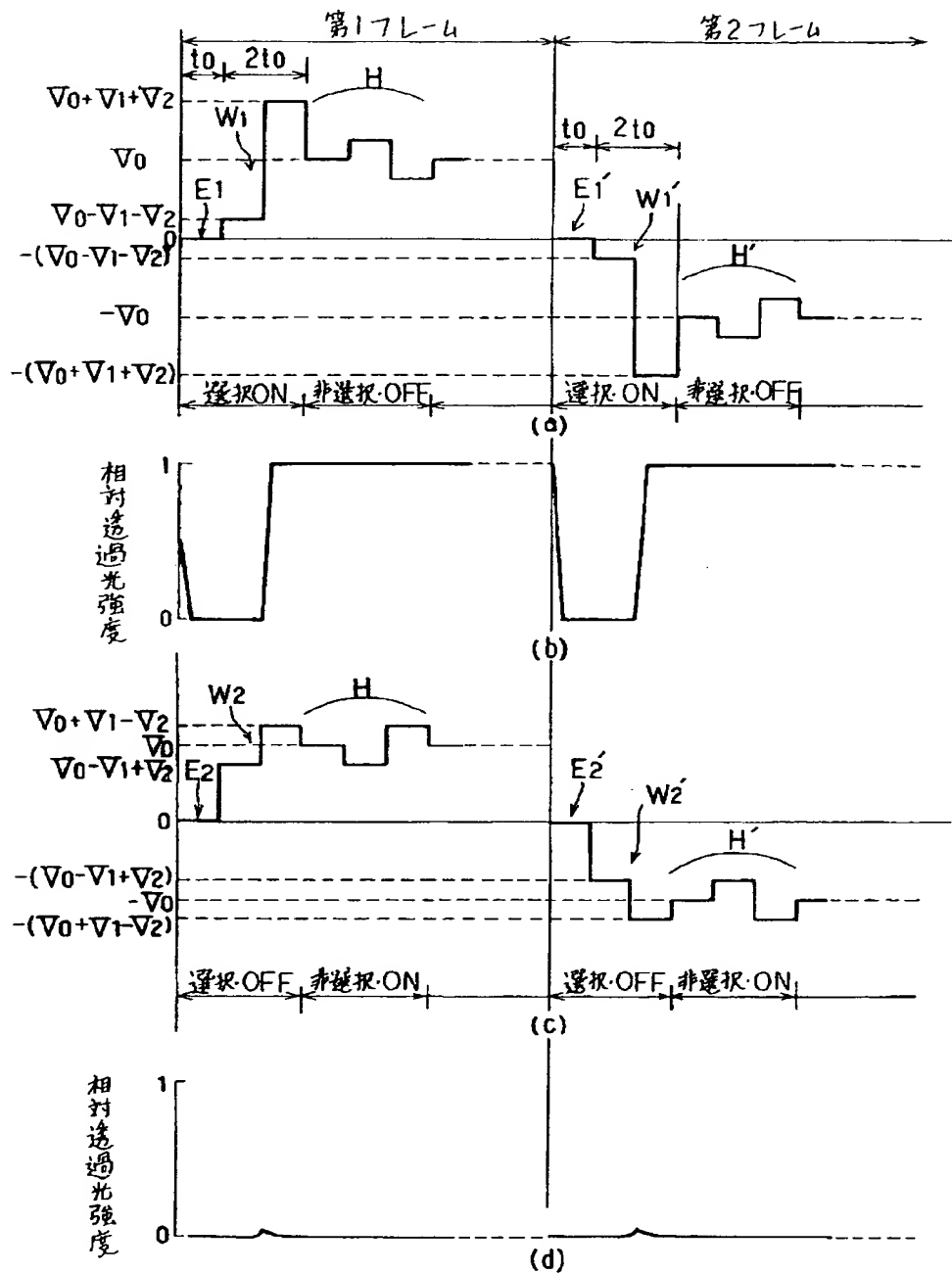




(72)発明者 河村 一朗

東京都千代田区丸の内二丁目 7 番 3 号 昭和  
シェル石油株式会社内

【図12】



フロントページの続き

(72)発明者 森 薫  
愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72)発明者 山田 祐一郎  
愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72)発明者 萩原 隆  
東京都千代田区丸の内二丁目7番3号 昭  
和シェル石油株式会社内

(72)発明者 鈴木 義一  
東京都千代田区丸の内二丁目7番3号 昭  
和シェル石油株式会社内